



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of:

KIHARA

Serial No.: 10/698,845

Filed: October 30, 2003

Atty. File No.: 3688ME-51

For: "LEAK CURRENT COMPENSATING  
DEVICE AND LEAK CURRENT  
COMPENSATING METHOD"

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

) Group Art Unit:

) Examiner:

) SUBMISSION OF PRIORITY DOCUMENT  
) AND CLAIM FOR FOREIGN PRIORITY

CERTIFICATE OF MAILING

I HEREBY CERTIFY THAT THIS CORRESPONDENCE IS  
BEING DEPOSITED WITH THE UNITED STATES  
POSTAL SERVICE AS FIRST CLASS MAIL IN AN  
ENVELOPE ADDRESSED TO THE COMMISSIONER FOR  
PATENTS, P.O. BOX 1450, ALEXANDRIA, VA 22313-1450  
ON 2-12-04

SHERIDAN ROSS P.C.

BY: Janice Messer

Dear Sir:

Enclosed is a certified copy of Japanese Patent Application No. 2002-317722 filed October 31, 2002, to support the previous claim of foreign priority benefits under 35 U.S.C. § 119 in connection with the above-identified application.

Respectfully submitted,

SHERIDAN ROSS P.C.

By: Robert D. Traver

Robert D. Traver  
Registration No. 47,999  
1560 Broadway, Suite 1200  
Denver, Colorado 80202-5141  
(303) 863-9700

Date: 11 FEB 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 0 月 3 1 日  
Date of Application:

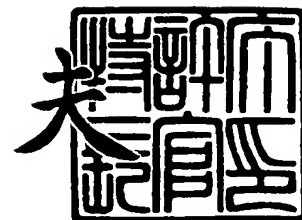
出 願 番 号                      特 願 2 0 0 2 - 3 1 7 7 2 2  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 1 7 7 2 2 ]

出      願      人                      松 下 電 器 産 業 株 式 会 社  
Applicant(s):

2 0 0 3 年 1 0 月 2 8 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出 証 番 号      出 証 特 2 0 0 3 - 3 0 8 8 8 7 0

【書類名】 特許願

【整理番号】 2924040021

【提出日】 平成14年10月31日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H02M 1/15

【発明の名称】 電圧源回路

【請求項の数】 1

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地  
松下電器産業株式会社内

【氏名】 木原 秀之

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100112128

【弁理士】

【氏名又は名称】 村山 光威

【電話番号】 03-5993-7171

【手数料の表示】

【予納台帳番号】 063511

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9815712

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電圧源回路

【特許請求の範囲】

【請求項 1】 非反転入力側に任意の電圧が印加された OP アンプの出力が第 1 の MOS トランジスタのゲートに接続され、前記第 1 の MOS トランジスタのドレインと接地電位との間に接続された複数の抵抗素子の任意の接続点が前記 OP アンプの反転入力側に接続され、ソースとゲートが電源に接続された第 2 の MOS トランジスタのドレイン電流がカレントミラー回路により所定の倍率の電流に変換され、前記カレントミラー回路の出力が前記第 1 の MOS トランジスタのドレインに接続されていることを特徴とする電圧源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路の電圧源回路に関するものである。

【0002】

【従来の技術】

電圧源回路の従来例としては特許文献 1, 2 などを例示することができる。図 2 は、従来の電圧源回路を説明するための回路図であって、1 は OP アンプであり、その非反転入力端子には VA の電圧を有する基準電圧源 2 が接続され、出力は PMOS トランジスタ 3 のゲートに接続されている。PMOS トランジスタ 3 のドレインは抵抗素子 R 1 および抵抗素子 R 2 の直列回路を介して接地され、抵抗素子 R 1 と抵抗素子 R 2 の接続点は OP アンプ 1 の反転入力端子に接続されて、PMOS トランジスタ 3 の分圧されたドレイン電圧が OP アンプ 3 の反転入力端子に印加される。4 は出力端子、5 は電源端子である。また、6 は NMOS トランジスタであり、そのゲートおよび OP アンプ 1 には制御端子 7 が接続されている。また、NMOS トランジスタ 6 のソースは接地され、ドレインは抵抗素子 R 3 を介して PMOS トランジスタ 3 のドレインに接続されている。なお、抵抗素子 R 1, R 2, R 3 は、抵抗値も同符号で表すものとする。

【0003】

上記構成において、制御端子7に入力されるCONT信号がロウレベルになっている場合は、OPアンプ1が動作(ON)状態になるとともにNMOSトランジスタ6がOFF状態になるため、出力端子4には通常の基準電圧 $V_{REF} = V_A \cdot (1 + R_1/R_2)$ が出力される。逆にCONT信号がハイレベルの場合は、OPアンプ1が非動作(OFF)状態になり、PMOSトランジスタ3のゲート電圧をVDDに持ち上げたまま固定された状態となる。このときCONT信号がハイレベルとなっているため、NMOSトランジスタ6がON状態になり、OFF状態にあるPMOSトランジスタ3から抵抗素子R3を通して電流を流そうとするため、出力端子4の電圧 $V_{REF}$ は接地電位となる。

#### 【0004】

以上のように、CONT信号により出力端子電圧を制御し、通常動作の場合には $V_{REF} = V_A \cdot (1 + R_1/R_2)$ 、基準電圧が不要な場合には $V_{REF}$ が接地電位となる動作が行われる。

#### 【0005】

##### 【特許文献1】

特開昭63-150713号公報

##### 【特許文献2】

特開昭63-255718号公報

#### 【0006】

##### 【発明が解決しようとする課題】

図2に示す従来の電圧源回路では、CONT信号がハイレベルの場合、OPアンプ1はOFF状態になり、PMOSトランジスタ3のゲート電圧をVDDに持ち上げたまま固定された状態となり、ON状態のNMOSトランジスタ6は、抵抗素子R3を介して出力端子4を接地電位にしようとする。

#### 【0007】

しかしながら、OFF状態にあるPMOSトランジスタ3からリーク電流 $I_{L3}$ が流れるため、NMOSトランジスタ6のオン抵抗を無視すれば抵抗素子R3には $V_3 = I_{L3} \cdot R_3$ なる電位差が発生するため、出力端子4は接地電位から上昇する。さらにリーク電流 $I_{L3}$ は高温時に増加するため、出力端子4の電位

は高温時にさらに上昇するという問題が発生する。また抵抗素子R3のインピーダンスを小さくするかあるいは抵抗素子R3を除去して出力端子4を直接NMOSトランジスタ6でドライブすればVREFは低くなるが、その場合、出力端子4の出力インピーダンスが小さくなりすぎて、外部から余計な電流が流入してしまうという問題が発生する。

#### 【0008】

従って、CONT信号をロウレベルにした場合、通常の基準電圧を出力する動作は問題なく行われるが、CONT信号をハイレベルにしてオフ状態にした場合には、高温時のリーク電流による出力端子の電位上昇や、出力端子に接続されている回路からの流入電流が増加するという問題があった。

#### 【0009】

本発明は、上記従来の課題を解決するものであり、電圧源がオフになった場合に、出力端子からの流入電流を最小限に保ちながら確実に接地電位とすることが可能な電圧源回路を提供することを目的とする。

#### 【0010】

##### 【課題を解決するための手段】

この目的を達成するために、本発明の電圧源回路は、非反転入力側に任意の電圧が印加されたOPアンプの出力が第1のMOSトランジスタのゲートに接続され、前記第1のMOSトランジスタのドレインと接地電位との間に接続された複数の抵抗素子の任意の接続点が前記OPアンプの反転入力側に接続され、ソースとゲートが電源に接続された第2のMOSトランジスタのドレイン電流がカレントミラー回路により所定の倍率の電流に変換され、前記カレントミラー回路の出力が前記第1のMOSトランジスタのドレインに接続されていることを特徴とするものである。

#### 【0011】

上記構成によれば、電圧源がオフになって温度が上昇した場合でも、出力端子からの流入電流を最小限に保ちながら出力電圧を接地電位にすることが可能になる。

#### 【0012】

**【発明の実施の形態】**

以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。

図1は、本発明の一実施の形態における電圧源回路を示したものである。なお、図2と同一の素子には同一符号を付してある。すなわち、1はOPアンプ、2は基準電圧源、3はPMOSトランジスタ、4は出力端子、5は電源端子、7は制御端子、R1およびR2は抵抗素子である。また、11、12、13、14はNMOSトランジスタ、15はPMOSトランジスタ、10はカレントミラー回路である。

**【0013】**

OPアンプ1の非反転入力端子にはVAの電圧を有する基準電圧源2が接続され、出力はPMOSトランジスタ3のゲートに接続されている。PMOSトランジスタ3のドレインは抵抗素子R1および抵抗素子R2の直列回路を介して接地され、抵抗素子R1と抵抗素子R2の接続点はOPアンプ1の反転入力端子に接続されて、PMOSトランジスタ3の分圧されたドレイン電圧がOPアンプ3の反転入力端子に印加される。

**【0014】**

PMOSトランジスタ15のゲートおよびソースは電源端子5に接続されてOFF状態になっており、PMOSトランジスタ15のドレインはNMOSトランジスタ13を介してNMOSトランジスタ11およびNMOSトランジスタ12により形成されるカレントミラー回路10の入力側に接続されている。カレントミラー回路10の出力であるNMOSトランジスタ12のドレインはNMOSトランジスタ14を介して出力端子4に接続されており、カレントミラー回路10のON/OFFはNMOSトランジスタ13およびNMOSトランジスタ14のゲートをCONT信号により制御することにより行われる。

**【0015】**

このように構成された本実施の形態における電圧源回路について、以下その動作を説明する。最初にCONT信号がロウレベルの場合について考える。この場合にはOPアンプ1はON状態になりPMOSトランジスタ3のドレインに接続された抵抗素子R1および抵抗素子R2により分圧された電圧がOPアンプ1の

反転入力端子に印加され、さらにOPアンプ1の非反転入力端子にVAなる基準電圧が印加されていることにより、出力端子4のVREFにはVA(1+R1/R2)なる電圧が出力される。またNMOSトランジスタ13およびNMOSトランジスタ14は、そのゲートにロウレベルが印加されているためOFFとなっている。このときNMOSトランジスタ11およびNMOSトランジスタ12により形成されるカレントミラー回路10はOFFとなり、PMOSトランジスタ15のリーク電流IL15はミラーされることはないためNMOSトランジスタ14のドレインには電流が流れない。

#### 【0016】

次に、CONT信号がハイレベルの場合について考える。この場合には、OPアンプ1はOFF状態になり、PMOSトランジスタ3のゲート端子をVDDに持ち上げたまま固定状態となるため、PMOSトランジスタ3はOFF状態となっている。また、PMOSトランジスタ3からはリーク電流IL3が流れ、PMOSトランジスタ3のドレインに接続されている抵抗素子R1および抵抗素子R2に電位差が発生するため、出力端子4の電位は接地電位から上昇しようとする。

#### 【0017】

しかしながら、NMOSトランジスタ13およびNMOSトランジスタ14がONしているために、ソースとゲートがVDDに接続されたPMOSトランジスタ15のドレインからのリーク電流IL15が、NMOSトランジスタ11およびNMOSトランジスタ12により構成されるカレントミラー回路10によりミラー電流としてNMOSトランジスタ14のドレインから流れることになる。そのときPMOSトランジスタ15のリーク電流IL15をPMOSトランジスタ3のリーク電流IL3よりも大きくなるようにカレントミラー回路10のミラー比を設定してNMOSトランジスタ12およびNMOSトランジスタ14から電流を流すようにすれば、PMOSトランジスタ3のリーク電流を吸収するために、出力端子4の電位はほぼ接地電位となる。

#### 【0018】

NMOSトランジスタ12およびNMOSトランジスタ14は、比較的小さな



PMOSトランジスタ15のリーク電流 $I_{L15}$ を流せばよいので、それらトランジスタのサイズは小さなもので十分である。従って出力端子4のインピーダンスは必要以上に小さくならないため、電圧源回路がOFF状態になり $V_{REF}$ が接地電位になった場合でも、出力端子4からの流入電流は最小になる。また温度が変化した場合でも、出力端子4を接地電位に固定している要因は、同じPMOSトランジスタのリーク電流である $I_{L15}$ と $I_{L3}$ の比であるために、NMOSトランジスタ14のドレイン電流は必要以上に大きくなり、出力端子4からの流入電流はほとんど変化することがない。

### 【0019】

#### 【発明の効果】

以上説明したように、本発明によれば、ON、OFF可能な電圧源回路において、OFF状態のときに温度が上昇した場合でも、出力端子からの流入電流を最小限に保ちながら出力電圧を接地電位にすることが可能な電圧源回路を実現することができる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の一実施の形態における電圧源回路図

##### 【図2】

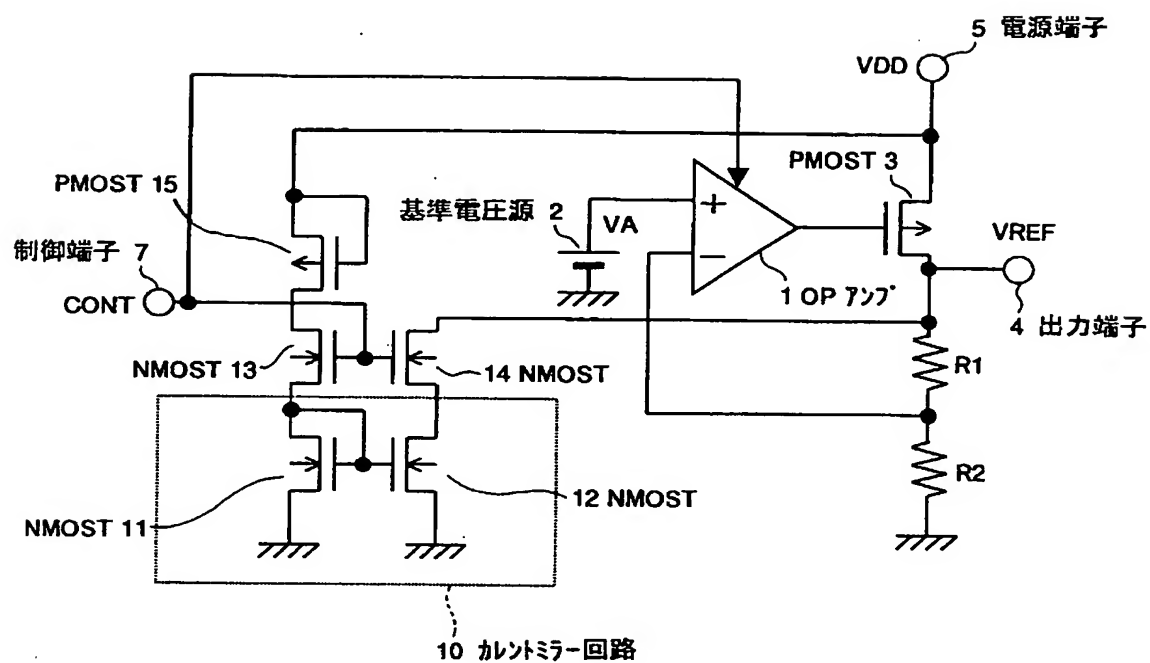
従来の電圧源回路図

#### 【符号の説明】

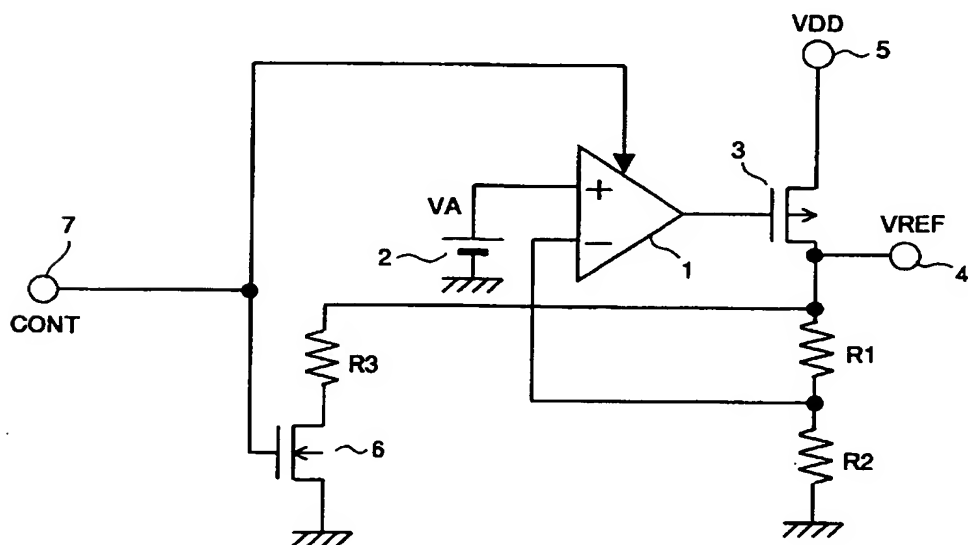
- 1 OPアンプ
- 2 基準電圧源
- 3, 15 PMOSトランジスタ
- 4 出力端子
- 5 電源端子
- 7 制御端子
- 10 カレントミラー回路
- 11, 12, 13, 14 NMOSトランジスタ

【書類名】 図面

【図 1】



【図 2】



【書類名】 要約書

【要約】

【課題】 OFF状態の出力端子からの流入電流を最小限に保ち接地電位にすることが可能な電圧源回路を実現する。

【解決手段】 CONT信号がハイレベルの場合、OPアンプ1は非動作（OFF）状態になりPMOSトランジスタ3のゲート電圧をVDDに持ち上げたまま固定された状態となるため、PMOSトランジスタ3はOFFとなる。さらに電源端子5にはPMOSトランジスタ15のゲートおよびソースが接続されており、ドレインはNMOSトランジスタ13を介してNMOSトランジスタ11およびNMOSトランジスタ12よりなるカレントミラー回路10に接続されている。カレントミラー回路10の出力であるNMOSトランジスタ12のドレインはNMOSトランジスタ14を介して出力端子4に接続されている。

【選択図】 図1

特願 2 0 0 2 - 3 1 7 7 2 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社